

Федюнин Р.Н. Матричные процессоры арифметической обработки данных. // Проблемы информатики в образовании, управлении, экономике и технике: Сб. статей XIV Международ. научно-техн. конф. – Пенза: ПДЗ, 2014. – С. 193-197.

УДК 004.272.42

МАТРИЧНЫЕ ПРОЦЕССОРЫ АРИФМЕТИЧЕСКОЙ ОБРАБОТКИ ДАННЫХ

Р.Н. Федюнин

ARITHMETIC SYSTOLIC CENTRAL PROCESSING UNIT

R.N. Fedynin

Аннотация. Рассмотрен один из способов реализации конвейерных арифметико-логических вычислений над массивами целочисленных данных. Представлена обобщенная структура процессора и АЛУ.

Ключевые слова: матричные вычисления, СБИС, массивные вычисления.

Abstract. Considered one of the ways to implement pipelined arithmetic on arrays of integer data. Presents a structure of the CPU and ALU.

Keywords: systolic calculation, VLSI, array calculation.

Процессоры данного типа ориентированы на реализацию двуместных арифметических операций и отношений равенства и неравенства значений данных относительно некоторого критерия. В ряде случаев функциональные возможности процессорных элементов обеспечивают также возможность выполнения операций преобразования структур данных – операций сжатия двоичных векторов, формирования векторов-масок, расширений вектора, конкатенации векторов, перегруппировки данных различных видов и т.д. Процессоры арифметико-логической обработки данных на базе матричных вычислительных пространств наиболее эффективны при выполнении вычислений массивного класса в соответствующих прикладных областях. Соединяя алгебраическую гибкость и низкую сложность вычислений за счет возможности перенастройки аппаратной логики процессорных модулей, данный класс устройств также имеет низкую стоимость реализации на основе современных технологий СБИС. Ниже рассматриваются способы организации вычислений в процессорах этого вида, приводятся способы их технической реализации.

Организация процессоров арифметико-логических вычислений на базе матричных процессорных пространств представлена на рис. 1.

Основные особенности архитектуры процессоров определяются функциональными возможностями процессорных модулей многомерной вычислительной среды, топологией межпроцессорных связей, способами управления настройкой и вычислениями, количеством каналов и способами ввода и вывода информации из вычислительного пространства.

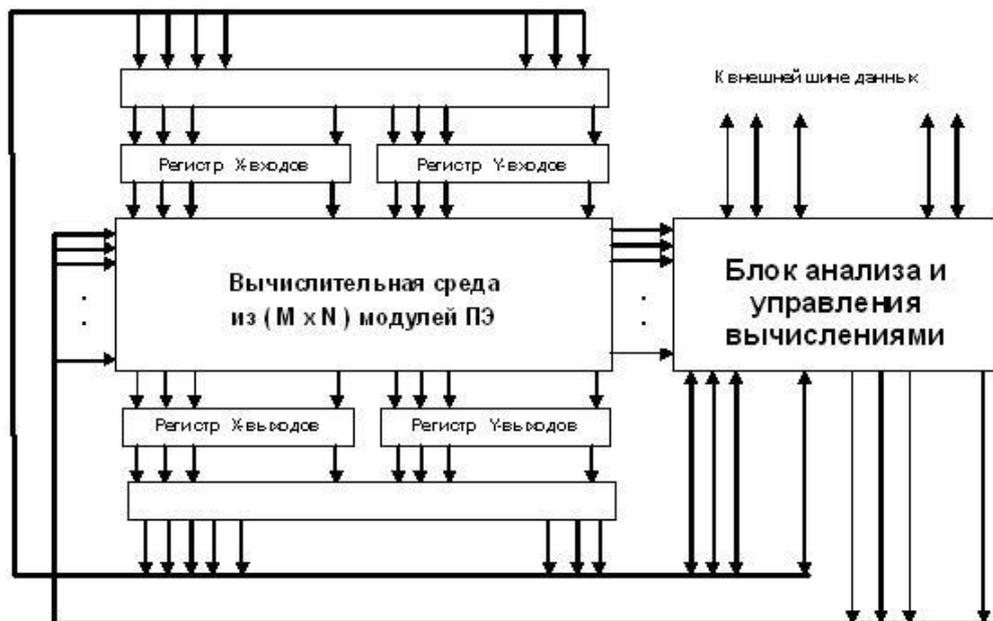


Рис. 1. Общая структура матричного процессора

Анализ подходов, методов организации вычислений, способов управления вычислениями в многомерных арифметико-логических процессорах [1, 2, 3] показывает, что для выполнения массивных операций этого типа наиболее эффективна топология информационных межпроцессорных каналов типа «решетка», представленная на рис. 2.

Это, прежде всего, связано с алгоритмическими особенностями традиционных методов вычислений и традиционной организацией структур данных. Такая топология межпроцессорных связей обеспечивает возможность реализации арифметико-логических операций на базе простого одноразрядного процессорного модуля. Достоинством технических решений этого вида является также возможность использования для построения операций над данными классических методов, что в свою очередь позволяет интегрировать процессоры в состав классических систем обработки данных без существенного изменения их математической базы.

В настоящее время многомерные матричные процессорные пространства для выполнения арифметико-логических операций представления в достаточно широком спектре технических разработок. В целом следует отметить тот факт, что известные решения, как правило, являются узкоспециализированными. С другой стороны ввиду резкого понижения в последнее время стоимости технической реализации процессоров на базе таких вычислительных пространств перспективным является использование многооперационных вычислителей этого класса. Ниже рассматривается ряд перспективных подходов к построению вычислителей этого типа, основной особенностью которых является применение принципа перенастраиваемости аппаратного пространства как вычислительной среды в целом, так и пространства каждого модуля в отдельности. Во-вторых, управление вычислениями основано на использовании принципа управления коммутацией потоков данных.

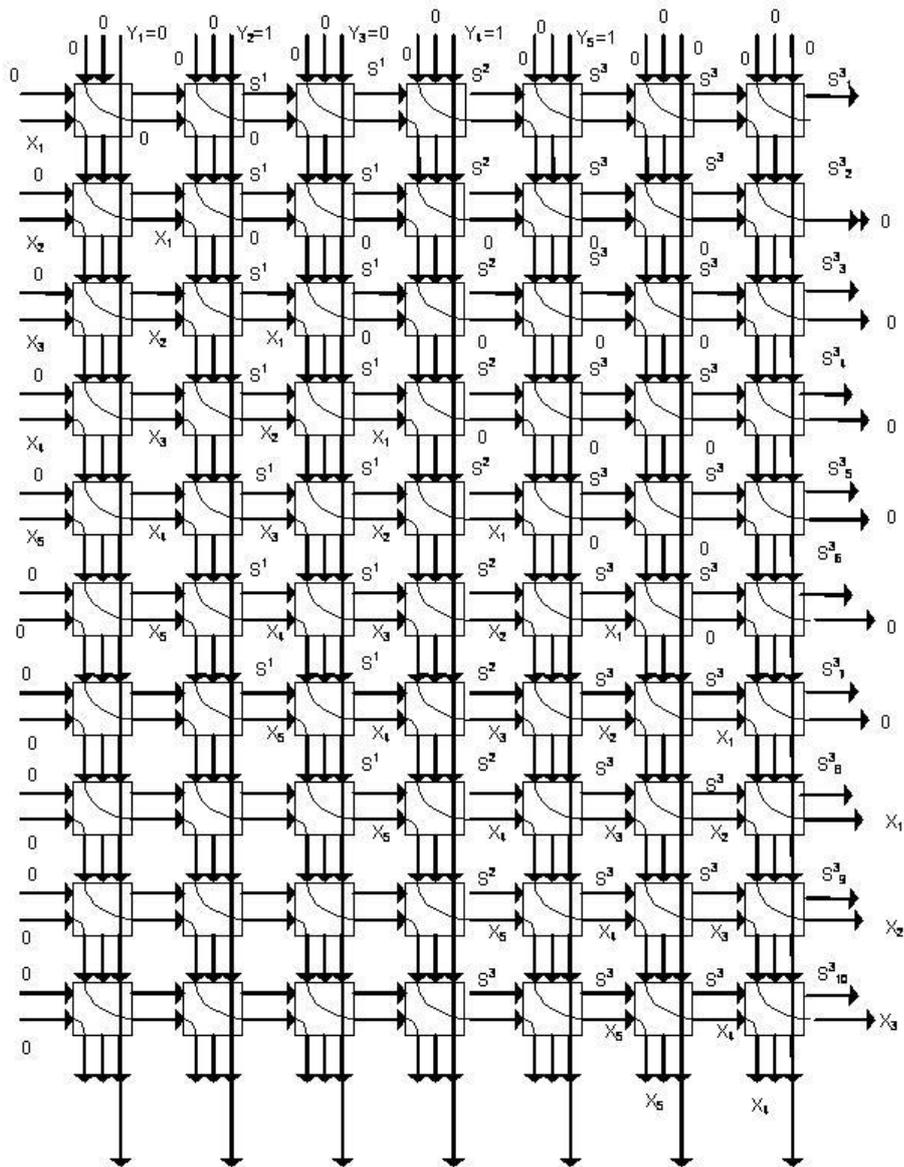


Рис. 2. Пример реализации топологии информационных межпроцессорных каналов типа «решетка»

В качестве процессорного модуля вычислительного пространства для выполнения арифметико-логических вычислений над данными, представляемыми n -разрядными двоичными векторами, достаточно эффективен процессорный элемент, организация которого приведена в [2]. В состав данного процессорного модуля введены битовый сумматор, перенастраиваемая комбинационная логика коммутации данных и их элементарных логических преобразований. Функциональные возможности процессорного модуля (ПЭ) с данной организацией обеспечивают реализацию следующей системы логических функций от пяти переменных. Аргументами функций являются значения логических переменных, поступающих на обработку по информационным каналам t, x, s, p, y , вычисленные значения функций формируются соответственно на информационных выходах процессорного модуля t^*, x^*, s^*, p^*, y^* . Настройка оборудования модуля ПЭ на выполнение соответствующего типа функций выполняется по каналам управления k, z_1, z_2 .

При формировании на управляющем входе процессорного модуля сигнала $k=1$ обеспечивается реализация следующей системы функций алгебры логики:

$$\begin{aligned}
s^* &= sp; \\
p^* &= p \vee s; \\
x^* &= z_1 (z_2 x \vee z_2 t); \\
t^* &= z_1 z_2 x \vee z_1 z_2 (x \vee t) \vee \bar{z}_1 \bar{z}_2 t; \\
y^* &= y.
\end{aligned}$$

Данная система функций позволяет выполнить в вычислительной среде операции вычисления значения логической функции от k -переменных и операцию определения количества единиц в двоичном векторе.

При формировании на управляющем входе процессорного модуля сигнала $k=0$ обеспечивается реализация следующей системы функций алгебры логики:

$$\begin{aligned}
s^* &= s \bar{y} \vee A y; \\
p^* &= B y \vee p y; \\
x^* &= t; \\
t^* &= x; \\
y^* &= \bar{y}; \\
A &= \bar{x} \bar{s} p \vee \bar{x} \bar{s} \bar{p} \vee x \bar{s} \bar{p} \vee x s p; \\
B &= \bar{x} s p \vee x \bar{s} p \vee x s \bar{p} \vee x s p.
\end{aligned}$$

Данная система функций описывает операции арифметического сложения, умножения и деления двоичных чисел.

Таким образом, получаем реконфигурируемый матричный процессор для реализации арифметико-логических операций над данными большой разрядности [3].

Библиографический список

1. Федюнин Р.Н. Способ реализации конвейерного сумматора // Новые информационные технологии: сб. трудов X Междунар. научно-техн. конф. – Пенза: Изд-во ПГУ, 2012. – С. 48–52.
2. Федюнин Р.Н. Способ реализации аппаратного слоя VLIW архитектуры на базе систолических структур // Известия высших учебных заведений. Поволжский регион. Технические науки. – 2013. – № 2. – С. 15–22.
3. Федюнин Р.Н., Медведик М.Ю., Москалева М.А., Войнов А.С., Сенокосов И.В. Свидетельство о государственной регистрации программы для ЭВМ №2014619242. – Заявитель и патентообладатель ФГБОУ ВПО «ПГУ», г. Пенза. – Зарег. в Реестре программ для ЭВМ 11.09.2014.

Федюнин Роман Николаевич
Пензенский государственный
университет, г. Пенза, Россия
E-mail: frn_penza@mail.ru

Fedynin Roman Nikolaevich
Penza State University,
Penza, Russia