

УДК 004.272.42

ВСТРОЕННЫЙ ASIC ВЫЧИСЛИТЕЛЬ МАТРИЧНОГО ТИПА

Р.Н. Федюнин, С.В. Рачаев, С.А. Полковникова

BUILT-IN ASIC MATRIX-TYPE CALCULATOR

R.N. Fedyunin, S.V. Rachayev, S.A. Polkovnikova

Аннотация. Программные ядра ПЛИС представляют собой одно из направлений процессоров специального назначения. Ниже рассматривается один из способов организации вычислений в процессорах этого вида.

Ключевые слова: процессор, арифметико-логическое устройство, вычислительная среда.

Abstract. FPGA software cores are one of the directions of special-purpose processors. Below we consider one of the ways to organize calculations in processors of this type.

Keywords: processor, arithmetic logic device, computing environment.

Концептуально организация арифметико-логического блока процессоров на базе матричных пространств [1,2] определяется функциональными возможностями процессорных модулей многомерной вычислительной среды, топологией межпроцессорных связей, способами управления настройкой и вычислениями, количеством каналов и способами ввода и вывода информации из вычислительного пространства (рис. 1).

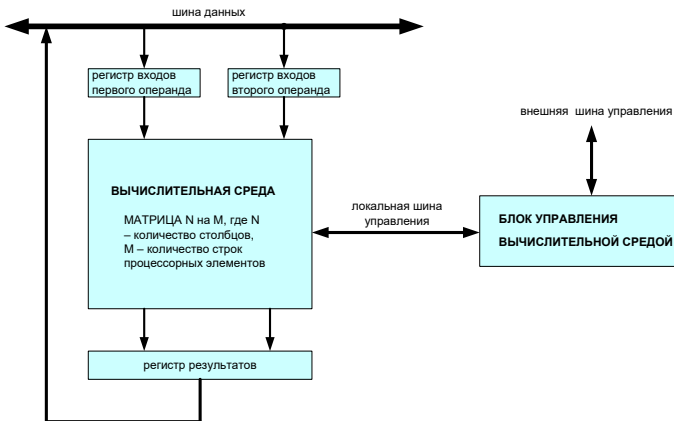


Рис. 1. Организация АЛУ итеративно-битового процессора

Вычислительная среда, или, как ее еще называют, однородная вычислительная среда (ОВС) (рис. 1), является операционной частью процессора и организована как матрица процессорных элементов (ПЭ). Иллюстрация организации операционной части процессора приведена на рис. 2, где 1,1-1,m, 2,1-2,m,..., n,1-n,m – где ячейки процессорных элементов, p_0-p_n , b_0-b_m – информационные входы, c_0-c_n , s_0-s_m – информационные выходы, PRG – управляющий вход, соединенный с управляющими входами prg, каждого процессорного элемента.

Такая топология межпроцессорных связей обеспечивает возможность реализации арифметико-логических операций на базе простого одnorазрядного процессорного модуля. Достоинством технических решений этого вида является также возможность использования для построения операций над данными классических методов, что в свою очередь позволяет интегрировать процессоры в состав классических систем обработки данных без существенного изменения их математической базы.

В качестве процессорного модуля вычислительного пространства для выполнения арифметико-логических вычислений над данными, представляемыми n -разрядными двоичными векторами, достаточно эффективен процессорный элемент (ПЭ) [3, 4], который реализует следующую систему логических функций:

$$\begin{aligned} Q(t) &= prg \cdot b \cdot p \\ s &= \overline{prg \cdot b \cdot p \cdot Q(t)} \vee prg \cdot \overline{p} \cdot b \\ c &= \overline{prg \cdot b \cdot p \cdot Q(t)} \vee prg \cdot p, \end{aligned} \quad (1)$$

где **b** и **p** – сигналы, соответственно подаваемые на информационные входы 1 и 2 ячейки; **prg** – сигнал, формируемый соответственно на управляющем входе 5; **c** и **s** – сигналы, формируемые соответственно на информационных выходах 3 и 4 ячейки; **Q(t)** – состояние триггера 7 в момент времени t .

Однородная вычислительная структура позволяет выполнять построчную загрузку кода с группы информационных входов b_0-b_m в триггеры ячеек однородной структуры и реализовывать режим вычисления.

Загрузка кода, для реализации арифметической операции, осуществляется с группы входов b_0, b_1, \dots, b_m ОВС в триггеры ПЭ соответствующей строки по каналам коммутации b_i-s_i .

Настройка ячеек ОВС на работу в режиме загрузки кода осуществляется подачей исходного вектора на группу входов b_0, b_1, \dots, b_m ОВС, при этом младший разряд исходного вектора b_0 подается на первый информационный вход первой ячейки первого столбца, первой строки (на вход b_0 ОВС), при этом на управляющий вход PRG однородной структуры подается сигнал логической единицы, а на группу входов p_0, p_1, \dots, p_n ОВС подается управляющий вектор, единичный бит которого указывает строку, в которую необходимо загрузить код вектора данных. В результате вектор c группы

входов b_0, b_1, \dots, b_m ОВС фиксируется в триггерах ПЭ нужной строки. Заметим, что загрузка кода в ячейки ОВС осуществляется в следующем порядке: первыми загружаются ячейки самой последней строки, затем предпоследней и т.д., последними будут загружены ячейки первой строки.

ПЭ в данном режиме реализует следующую систему логических функций:

$$\begin{aligned} s &= prg \cdot \bar{p} \cdot b \\ c &= prg \cdot p \\ Q(t) &= prg \cdot p \cdot b. \end{aligned} \quad (3)$$

Пример работы однородной вычислительной структуры в режиме загрузки кода приведен на рис. 2 и 3. На рис. 2 показана загрузка кода 100_2 в ячейки самой последней строки. Для чего на группу входов p_0 - p_2 подается управляющий вектор 100_2 , в результате чего ячейки последней строки настраиваются на выполнение операции загрузки кода, а ячейки всех остальных строк – на выполнение операции трансляции кода, при подаче на управляющий вход PRG ОВС активного сигнала, равного уровню логической единицы, вектор 100_2 с группы входов b_0, b_1, b_2 загружается в ячейки самой последней строки.

Затем, по аналогии, производится загрузка кода 011_2 в ячейки третьей строки, для чего на группу входов p_0 - p_2 подается управляющий вектор 010_2 , а на управляющий вход PRG ОВС подается активный сигнал, равный уровню логической единицы.

После реализации подготовительного режима устройство выполняет функцию сумматора, складывая вектора, загруженные в ПЭ ОВС в режиме загрузки.

Настройка ячеек ОВС на работу в режиме вычисления осуществляется подачей на управляющий вход PRG однородной структуры сигнала логического нуля. В результате чего в каждой ЯОС ОВС включаются цепи суммирования и реализуется следующая система логических функций:

$$\begin{aligned} s &= b \cdot p \cdot Q(t) \\ c &= b \cdot p \cdot Q(t). \end{aligned} \quad (4)$$

То есть в каждой ячейке ОВС происходит сложение данных, хранящихся в триггере данной ячейки, с данными, поступающими в данную ячейку по входам \mathbf{b} и \mathbf{p} . Результат операции фиксируется на группе входов S_0 - S_m .

Пример работы однородной вычислительной структуры в режиме вычислений приведен на рис. 3. На все информационные входы ПЭ ОВС подается сигнал логического нуля. В данном примере предполагается, что загрузка в ячейки ОВС необходимых для сложения векторов уже выполнена.

Для начала выполнения операции сложения на управляющий вход PRG подается сигнал, равный нулю, в результате каждая ЯОС ОВС выполняет систему функций 4. Результат формируется по столбцам, и из примера

видно, что если в столбце четное количество единиц, то результат суммы столбца 0, иначе, если в столбце нечетное число единиц, то результат суммы столбца 1, при этом также учитывается формирование переносов из младших в старшие разряды числа. Результат вычислений фиксируется на группе информационных выходов S_0-S_6 .

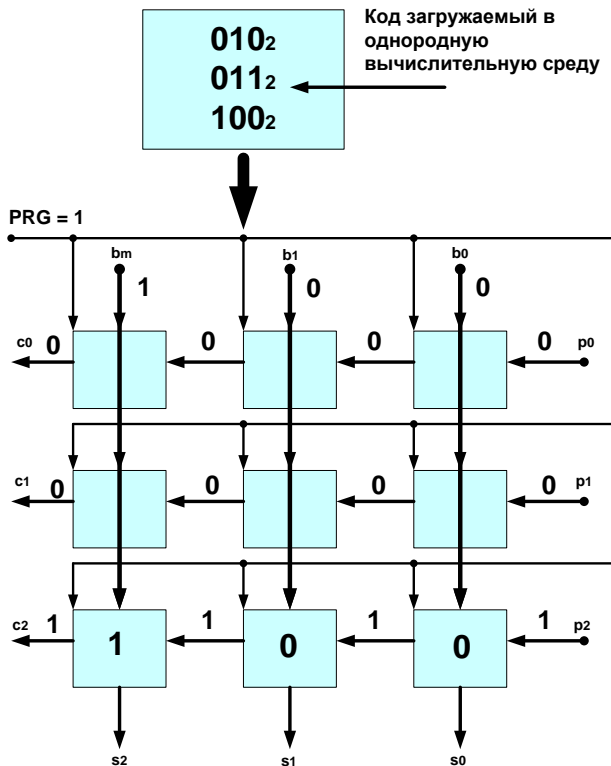


Рис. 2. Загрузка данных

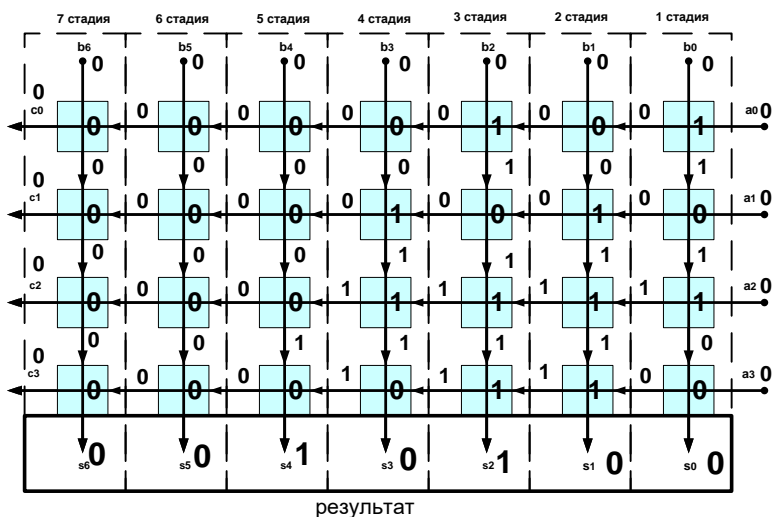


Рис. 3. Поэтапное описание процесса вычисления

Таким образом, рассмотрев частный пример построения однородной вычислительной структуры, можно сделать следующие выводы.

Фактически задача построения вычислителя сводится к построению аппаратного конвейера, имеющего достаточно большое время получения результата (т.е. большое количество ступеней), но при этом сравнительно маленькое время между последовательной выдачей результатов, так как значительное количество промежуточных значений обрабатывается на разных ступенях конвейера.

Библиографический список

1. Федюнин Р.Н. Арифметико-логические устройства специального назначения для обработки однородных матриц // Новые информационные технологии и системы: материалы XV Международной научно-технической конференции, посвященной 75-летию Пензенского государственного университета. Пенза, 2018. С. 9-11.
2. Федюнин Р.Н., Прохоров А.В., Дубинина Е.С. Арифметическое устройство матричной обработки данных // Информационные технологии в науке и образовании. Проблемы и перспективы: сборник научных статей VI Всероссийской межвузовской научно-практической конференции. Пенза, 2019. С. 76-78.
3. Федюнин Р.Н. Свидетельство о государственной регистрации программы для ЭВМ № 2015613676, Российская Федерация, Программный модуль параллельной арифметико-логической обработки векторных данных / Телюк И.С., Мартынов К.С. // Заявитель и патентообладатель ФГБОУ ВПО ПГУ, г. Пенза. №2014663462, дата подачи 23.12.2014; опубли. 23.03.2015.

4. Федюнин Р.Н. Ячейка однородной среды / Князьков В.С.,
Федюнин Р.Н. // Патент РФ №2004136518/09 от 15 мая 2006 г.

Федюнин Роман Николаевич

Пензенский государственный
университет, г. Пенза, Россия

Рачаев Сергей Вячеславович

Пензенский государственный
университет, г. Пенза, Россия

Полковникова Светлана Андреевна

Пензенский государственный
университет, г. Пенза, Россия

Fedyunin R.N.

Penza State University,
Penza, Russia

Rachaev S.V.

Penza State University,
Penza, Russia

Polkovnikova S.A.

Penza State University,
Penza, Russia
