

Гаврилов И.Ю., Веселов А.А. Подход к моделированию элементов памяти микропрограммируемых цифровых устройств. // Проблемы информатики в образовании, управлении, экономике и технике: Сб. статей XV Междунар. научно-техн. конф. – Пенза: ПДЗ, 2015. – С. 178-182.

УДК 004.942

ПОДХОД К МОДЕЛИРОВАНИЮ ЭЛЕМЕНТОВ ПАМЯТИ МИКРОПРОГРАММИРУЕМЫХ ЦИФРОВЫХ УСТРОЙСТВ

И.Ю. Гаврилов, А.А. Веселов

APPROACH TO MODELING MEMORY ELEMENT MICROPROGRAMMABLE DIGITAL DEVICE

I.Y. Gavrilov A.A. Veselov

Аннотация. Рассматривается возможность сопряжения математических аппаратов сетей Петри и теории алгебры для сокращения размерности модели микропрограммируемого цифрового устройства.

Ключевые слова: САПР, цифровые электронные устройства и системы, имитационные модели, математический аппарат сетей Петри, комбинированные модели.

Abstract. This article discusses the possibility of coupling mathematical apparatus of Petri nets and theory of algebra to reduce the dimension of the microprogrammable digital device model.

Keywords: CAD, digital electronic devices and systems, simulation models, the mathematical formalism of Petri nets, combined models.

В зависимости от области применения и специфических особенностей для моделирования поведения цифровой электронной техники используются разные математические модели: алгебра логики, теория автоматов, сети Петри, теория массового обслуживания, Марковские процессы и т.д. Все большее внимание привлекают к себе сети Петри, которые позволяют строить достаточно адекватные имитационные модели, исследовать их статические и динамические характеристики, а также обладают большим арсеналом средств для анализа их работоспособности и качества функционирования.

Особенность моделирования микропрограммируемых цифровых устройств (МПУ) заключается в том, что рост количества ячеек памяти, представленных моделями отдельных триггеров, приводит к необходимости создавать все их модели. Современные микросхемы памяти могут содержать миллионы ячеек, это означает чрезмерное использование ресурсов моделирующей ЭВМ, снижение ее быстродействия, следовательно, и снижение эффективности моделирования. Возможным выходом в такой ситуации будет использование в модели различных математических аппаратов для моделирования ее составных частей.

Обзор существующих подходов к моделированию цифровых устройств

Цифровые устройства можно представлять различными моделями. Выбор модели определяется целью исследования – например, определение характеристик времен обработки и ожидания можно осуществить, представив устройство как систему массового обслуживания. Электрические цепи описываются системами дифференциальных уравнений. Численное решение таких систем дает значения токов и напряжений в каждом узле. Метод, очевидно, очень трудоем-

кий, однако реализован и с успехом применяется сегодня в системах моделирования электронных схем (например, пакет Multysim). Любое цифровое устройство представляет собой достаточно сложную электронную схему, и использовать его модель в виде дифференциальных уравнений будет практически невозможно. Потому в системах моделирования цифровых устройств используют смешанные цифро-аналоговые алгоритмы. Пример – семейство алгоритмов PSPICE, применяемых в упомянутых уже Multysim, OrCAD и др. Поведение каждого функционального элемента схемы устройства описывается логической функцией, причем в описание включаются задержки распространения сигнала. Имитационные модели получаются достаточно простыми. Однако провести анализ по такой модели невозможно.

Для моделирования программируемых устройств, к которым относятся и управляющие МПУ, также существует несколько подходов. Сама схема МПУ (рис.1), в том числе и схема памяти, моделируется системой бинарных уравнений. Программа, написанная в машинном коде, может быть «помещена» в ОЗУ и выполнена схемой в ходе имитационного эксперимента (например, это реализовано в PROTEUS VSM).



Рис. 1. Пример функциональной схемы МПУ

Моделирование алгоритма также не представляет существенной сложности. Алгоритм можно представить, например, в виде граф-схемы алгоритма (ГСА). Для моделирования алгоритмов управления устройством используются и классические сети Петри. Существуют системы автоматизированного проектирования цифровых устройств (Xilinx Foundation Series), где на этапе моделирования проектируемой схемы можно представить отлаживаемую программу в виде ГСА. Таким образом, задача проведения имитационных экспериментов для программируемых цифровых устройств могла бы уже считаться решенной.

Однако задача совместного моделирования аппаратной и программной частей программируемых цифровых устройств, таких, как управляющие МПУ, на сегодняшний день не решена.

Подход к моделированию элементов памяти МПУ

В ТГТУ разработана система распределенного моделирования, позволяющая моделировать устройства цифровой электронной техники ЦЭТ специальным расширением сетей Петри (DPN-сети) [1]. При помощи модификации данной системы можно реализовать два ключевых подхода:

- подход к повышению эффективности моделирования ЦЭТ сетями Петри за счет замены моделей ячеек памяти (триггеров) их представлением в виде элементов массива;

- подход к комбинированию разных моделей, взаимодействующих между собой в рамках общей системы [2].

Для устранения проблемы снижения эффективности моделирования МПУ предлагается создать систему имитационного моделирования, в которой блоки памяти представляются в виде обычного массива. А для сопряжения с внешней средой – использовать интерфейс в терминах сетей Петри, понятный имитационной модели, используемой в качестве основной в системе моделирования. Такой подход часто используют для организации взаимодействия между разными объектами. Например, в механизме организации клиент-серверного взаимодействия между удаленными объектами.

В данном подходе комбинированная модель МПУ на базе DPN-сети представляется в виде совокупности моделей, построенных на основе математических аппаратов сетей Петри и теории алгебры.

Представление RS-триггера в терминологии DPN-сети показано на рис. 2. Позиции P1-P4 имитируют входы и выходы триггера. Переходы T1-T6 имитируют временные задержки при смене состояний триггера. Таким образом, при моделировании работы триггера используется поведение 10 элементов (позиций и переходов) DPN-сети. В масштабе всей модели МПУ для моделирования блока памяти размером в тысячу триггеров (ячеек) потребуется уже миллион элементов DPN модели.

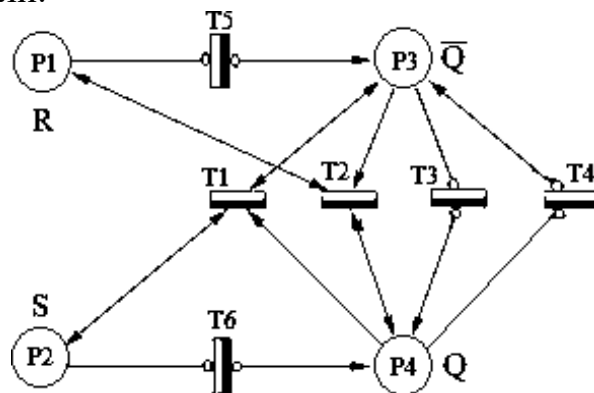


Рис. 2. Представление RS-триггера в терминологии сетей Петри

Подход с использованием комбинированной модели МПУ предполагает замену блока памяти, представленного любым количеством DPN-триггеров, его представлением в виде массива, в котором хранятся состояния соответствующих триггеров.

Однако такой подход в рамках созданной системы распределенного моделирования D-расширением сетей Петри подразумевает разработку и включение в модель МПУ, кроме сетей Петри, еще и блока в виде массива, а также блока его сопряжения с моделью на языке сетей Петри.

Таким образом, это сопряжение обеспечивает интерфейс между основной моделью с аппаратом сетей Петри и представлением запоминающего устройства в виде обычного массива, то есть блока, представленного другим математическим аппаратом – теорией алгебры (рис. 3).

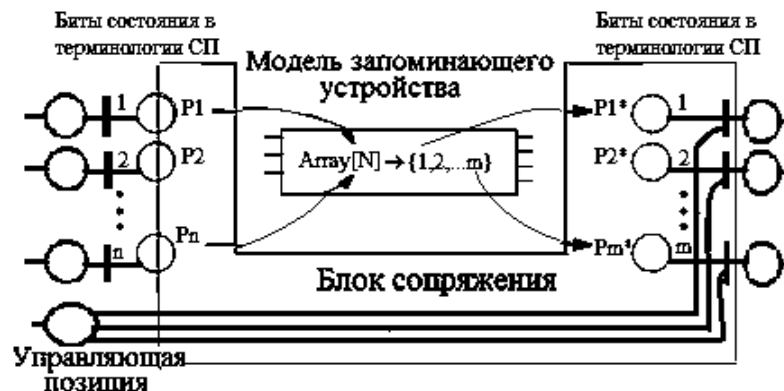


Рис. 3. Включение модели памяти в модель МПУ с сетью Петри

Реализация описанного подхода позволяет достичь значительного сокращения размерности модели с учетом сохранения моделирующих возможностей аппарата сетей Петри.

Библиографический список

1. Веселов А.А. Моделирование устройств цифровой электронной техники D-расширением сетей Петри : монография. – Тверь: ТГТУ, 2006. – 104 с.
2. Гаврилов И.Ю., Веселов А.А. Проблемы моделирования микропрограммируемой цифровой электроники // Научная дискуссия: вопросы технических наук. – №6–7(19) : сборник статей по материалам XXIII–XXIV Междунар. заоч. науч.-практ. конф. – М.: Международный центр науки и образования, 2014. – 130 с.

Гаврилов Игорь Юрьевич

Тверской государственный
технический университет,
г. Тверь, Россия
E-mail: igg100290@yandex.ru

Gavrilov I.Y.

Tver State Technical University,
Tver, Russia

Веселов Алексей Аркадьевич

Тверской государственный
технический университет,
г. Тверь, Россия
E-mail: Veselov_A_A@mail.ru

Veselov A.A.

Tver State Technical University,
Tver, Russia